

Interna zum U60998C

In Ergänzung zum Foto und den dort aufgeworfenen Fragen zu dem IC U60998C (ZMD) konnte durch eine Leserschrift Einiges an Aufklärung beigetragen werden.

Nachfolgend der redaktionell bearbeitete Text:

Von 1985 bis 1990 habe ich bei ZMD gearbeitet und unter anderem auch Speicher der 64kBit-, 256kBit- und 1MBit-Klasse in der laufenden Produktion getestet. Diese Testung bezog sich auf Zwischenprüfungen mit Redundanz auf „Ando Memory-Testsystemen“ und Endprüfung mit dem "Tester 11" und "Tester 11R".

Das Keramikgehäuse auf dem Foto dürfte zu einem Chip des 1MBit-dRAM Typ U61000 passen. Der Kennbuchstabe C bedeutet lediglich "Keramikgehäuse" und C12 ist die Zugriffszeit des Speichers in Nanosekunden (mal 10).

Damals war ZMD an das Kombinat Carl Zeiss Jena angeschlossen und alle Gehäuse trugen dementsprechend ein solches Logo auf dem Deckel, der mit einem 40Watt-CO₂-Laser beschriftet wurde. Das 18-polige Keramik-Gehäuse war ein Spezialgehäuse für extra große Dies, denn diese waren knapp 13mm lang und etwa 5 mm breit. Die Ausbeute der 1MBit-Speicher war nicht so hoch wie die der 256kBit-Klasse (siehe¹). Deshalb gab es Bestrebungen, auch Chips mit Bitfehlern für Spezialanwendungen (Sprach-Sampling, Alphateilchensensoren) zu verwenden. Da das Bauelement auf dem Foto exakt dem U61000 gleicht und der Name ja mit U60998 auf diesen Wert zustrebt, könnte es sich um einen "abgelasteten" 1MBit-dRAM handeln. Das ist nur eine These, aber das Gehäuse ist so speziell (und dementsprechend teuer), die Fläche des Deckels entspricht fast der Aussparung für den Chip! Das tauchte im gesamten RGW sicher nicht noch einmal auf. Der Beweis wäre nur mit dem Mikroskop zu sehen:

Auf dem Chip haben alle Konstrukteure irgendwo ihr Symbol hinterlassen. Beim 1MBit-dRAM war Dr. Jens Knobloch maßgeblicher Konstrukteur und der hatte als Symbol einen Frosch. Ich weis, daß ich den irgendwo auf dem Chip mit vielleicht 200- oder 500facher Vergrößerung und Beleuchtung durch das Objektiv auch gefunden habe. Denn das war eine meiner „Lieblingsbeschäftigungen“ besonders in der Nachtschicht: Wafer anschauen.

¹)

Dort gab es bei der Zwischenprüfung (siehe²) einzelne Lose mit Ausbeuten nahe 100%. Das ist kein Witz! Es gab sogar auf einzelnen Wafern Ausbeuten über 100%, weil zu viele Chips als Randchips deklariert worden waren, was bei schlechterer Qualität natürlich besser ausgesehen hätte. Fakt ist, es gab Wafer, da waren fast keine schlechten Chips drauf.

2)

Bei der Zwischenprüfung wurden alle Chips auf dem Wafer mit einem Waferprober angetastet und einem DC- und Funktionstest unterzogen. Dabei wurde auch der gesamte Speicherbereich auf Bitfehler, Dekoderfehler, Timing und Refreshzeiten hin untersucht. Am Anfang wurden Schlecht-Chips nach Beendigung des Tests "geInkt" bekamen also einen Tintenkleks. Dann wurde Ende der 80er zum "Wafermap" übergegangen, bei dem die Messdaten inklusive Lage und Kategorie der Ausfallchips vom Tester über den Hostrechner an den CAM-Rechner übergeben wurden und so zentral zur Verfügung standen. Vermutlich hatten alle Chips ab 64kBit bis zu 2000 (beim U61000?) Reserve-Speicherzellen, die bei Bedarf über durchgebrannte Fuses Zeilen- oder Spaltenweise zugeschaltet werden konnten (Redundanz). Dadurch stieg die Ausbeute erheblich. Für das Durchbrennen der Fuses benötigte man eigentlich eine redundanzfähige Ausführung der Memory-Tester. Solche Testsysteme besaß die DDR jedoch nicht. Somit schrieben die Entwickler und Wartungsingenieure eine spezielle Testroutine für die vorhandenen Tester, mit der die Fuses zerstört werden konnten. Die durchgebrannten Fuses konnte man unter dem Mikroskop sehen. Als nach der Wende der erste Wartungstrupp des westlichen Tester-Herstellers diese inspizierte, war er sehr verblüfft über diese sinnvolle Ergänzung.

Je nach Messprogramm dauerte der Test eines Gut-Chips mit Redundanz je Chip von wenigen Sekunden bis über eine halbe Minute. Nach der Zwischenprüfung wurden die Wafer zersägt. Die Chips wurden verkappt und durchliefen dann noch bis zu 5 Endprüfungen im Gehäuse bei unterschiedlichen Temperaturen einschließlich Burn-In. Dabei blieben natürlich eine Reihe von Bauelementen auf der Strecke und endete im Ausschuss.

Literatur

<http://bit.ly/6aUnGc>

Dort ist auf Seite 110 eine Abbildung der Maske zu sehen. In der Mitte erkennt man 2x übereinander die Struktur der Speichermatrix U61000. Genau so sieht der Chip aus.

Ergänzung zur Gehäuse-Frage

Bei dem auf Ihrem Foto dargestellten Gehäuse handelt es sich eindeutig um ein NSW-Gehäuse.

Wie bereits oben erwähnt, ist das ein Gehäuse mit extra viel Platz für einen großen Chip.

Es gab auch Versuche bei KWH Gehäuse zu fertigen. Es gab auch welche, die wohl bei 64k Speichern eingesetzt wurden. Deren Qualität war aber nicht so überzeugend, weil immerzu einige Pins abbrachen.

Zur Technologie mit Plast-Gehäusen ist nur so viel sagen, daß ZMD natürlich einen "Zyklus 2" hatten. Dort wurden auch BE in Plast-Gehäusen gefertigt. Aber auch hier war die Chipgröße des U61000 „das“ Problem, deshalb wurden die Chips auch von Entwurf zu Entwurf weiter verkleinert. Es gab dann auch spezielle Ausführung der in Zusammenhang mit Plast-Gehäusen verwendeten Kammstreifen. Die hatten Pins, welche ganz oben gespalten waren. Deshalb verbogen die sich auch schnell bei der Messung, so auch bei denen, wo ein U61000 drin war.

Bekannt ist auch, daß es BE gab, die den "Zyklus 2" woanders (Erfurt?) absolviert haben und dann zur Endprüfung wieder zu ZMD zurückkamen.

Abschließend noch folgendes:

Warum ist mir überhaupt noch so viel darüber in Erinnerung geblieben?

Es war einfach eine sehr gute Zeit dort, man redete viel mit den Entwicklern, die dieselbe Messtechnik nutzten, wie wir und die alle sehr nette Leute waren. Oft war es so, daß wir das Verhalten der Tester und einzelne Bugs besser kannten, als sie selbst. Wir verbrachten einfach täglich acht Stunden am Tester und hörten schon am Geräusch, ob eine Messung gut oder schlecht lief. Man konnte nämlich die Reed-Relais der Pinkarten hören und die gaben Klangmuster beim Ablauf des Messprogramms von sich.

Außerdem machte das Einjustieren der Wafer am Prober unglaublich viel Spaß, was damals noch per Hand erfolgte. Man hatte einen Joystick und konnte so die Schrittmotoren der Koordinatenantriebe und ein Rad für die Drehung des Scheibentellers steuern. Gemessen hat der Prober dann natürlich vollautomatisch.

Eine witzige Szene war immer, wenn die Entwickler vor einem 1000x1000-Pixel CRT-Monitor saßen (ca. 1989!) und Bitfehler beim 1MBit-dRAM analysierten. Sie hatten dann ein Pixel je Bit und es sah so aus, als ob sie Signale von fremden Wesen aus dem Weltall analysierten.

Dr. Jens Knobloch, der damals Chefkonstrukteur der 1MBit-Chips war und jetzt beim Fraunhofer-Institut arbeitet, ist der Vater eines guten Bekannten von mir.

Johannes Fritzsche, Januar 2010