

Beschreibung der Einzelbaugruppen

3.4.1 Parallelschnittstelle (4-fach PIO-Port)

Bei der Konzipierung der Parallelschnittstelle waren verschiedene Forderungen zu berücksichtigen:

- Betrieb als normale digitale I/O-Schnittstelle mit maximaler Anschlussflexibilität
entprechend den programmierbaren Modis der PIO (siehe U880-Systembeschreibung PIO)
- Betrieb als Centronics-Schnittstelle mit entsprechender Hand-Shake-Eigenschaft
(Diese Betriebsart brauchte später wegen der zwischenzeitlichen Beschaffung und Einsatz eines I/O-Moduls M001 im Grundgerät KC85/3 nicht mehr berücksichtigt werden.)
- Grundlage zum Betrieb als EPROMMER zur Programmierung von EPROM's

Insbesondere letztere Forderung hatte zur Folge, daß insgesamt 4x 8-Bit-Ports realisiert werden mußten, d.h. es waren 2x die U880-Systemschaltkreise PIO (U855D) notwendig.

Die Aufteilung der EPROMMER-Steuerung auf 2 Pio-Ports ergab sich aus einer modifizierten Anwendung der AEB-Entwicklung "M030 – EPROMMER".

Die Modifizierung betraf nur den Hardware-Teil, die EPROMMER-Software sollte uneingeschränkt auch im SEW zum Einsatz kommen.

Ein Bild vom Aufbau ist im Abschnitt 3.4.2 „PioPort2.pdf“ zu finden.

Die gesamte Schaltungskonzeption besteht aus 3, bzw. 4 Teilen.

Teil 1 ("Sp-PIOPort1.pdf") betrifft die Anschaltung der 2x U880-PIO, einschließlich deren Adressierung und Einordnung in das Modulkonzept von MPM.

Die Schaltungsteile zur Erzeugung des Modul-Strukturbytes (D3.1, D10.3, D5.1-3), der Modul-Aktivierung (D7.1), Prioritätssteuerung usw. wurden wie üblich den Original-MPM-Schaltungsvorschlägen bzw. den Original-Modulschaltungen entnommen, geringfügige Modifizierungen eingeschlossen.

Da die System-Programmierung der PIO-Schaltkreise es ermöglicht, bei bestimmten Eingangszuständen an den PIO-Eingängen (wenn diese als solche programmiert sind) einen Interupt für die CPU zu erzeugen (siehe U880-Systembeschreibung PIO), mußte dieses auch in der Hardware-Konzeption berücksichtigt werden. Der dabei – hier spielen die Steuersignale /M1 und /IORQ die entscheidende Rolle - von der jeweiligen PIO erzeugte Interrupt-Vektor muß dann über den Datenbus an die CPU geleitet werden können. Dieses gilt es bei der Schaltungskonzeption ebenfalls zu berücksichtigen.

Die Anschaltung der beiden PIO-Ports "Port-A" und "Port-B" ist auf dem Teil 2 ("Sp-PIOPort2.pdf") des Stromlaufplanes dargestellt. Dabei werden die Ports A und B von PIO 1 und Port A von PIO 2 auf einen 58-poligen EFS-Steckverbinder (Buchsenleiste) geführt - und zwar in der Art, daß die einzelnen Pins beider PIO-Ports A, sowie auch einige des Ports B der PIO 1 jeweils die Kontaktreihe A über ein Eingangsschutz-Netzwerk, bestehend aus jeweils einem 220-Ohm-Widerstand und einer Clamping-Diodenschaltung, sowie die Kontaktreihe B direkt (als Ausgang) angeschlossen sind.

Damit für den Fall der Hochohmigkeit des jeweiligen PIO-Ausgangs (Tristat-Ausgang) trotzdem ein definiertes Signal anliegt, werden entsprechende Pullup-Widerständen vorgesehen (R21..33 usw.).

Für die Ausgänge B3 und B5 der PIO1 wirken anstelle der Pullup-Widerstände die Transistoren VT2 und VT3. Diese spezielle Beschaltung war notwendig für den EPROMMER-Betrieb welcher aber so gestaltet ist, daß im Ruhezustand, ähnlich wie mit einem Pullup-Widerstand, "High"-Potential anliegt.

Die Schalter S1-S3 ermöglichen hardwaremäßig die verschiedene Modi des Hand-Shake-Betriebes bei Parallel-Ein-/Ausgabe zu realisieren.

Zur Überprüfung der ordnungsgemäßen Funktion der PIO-Baugruppe kann ein einfaches Prüfprogramm entsprechend dem Text-File "Pruefpr-PIOPort.txt" eingesetzt werden.

Die weitere Beschreibung betrifft die EPROMMER-Erweiterung, nachzulesen unter 3.4.2. „PioPort2.pdf“.